

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-291282

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 04-116781

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 10.04.1992

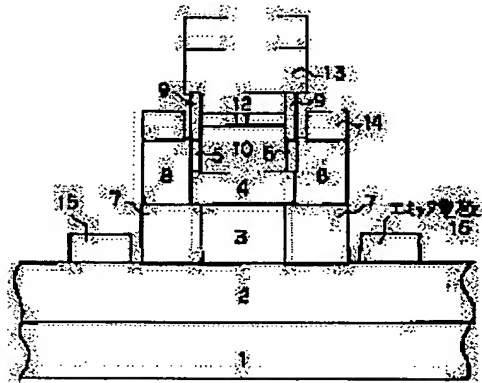
(72)Inventor : YAMAHATA SHIYOUJI  
MATSUOKA YUTAKA

## (54) MANUFACTURE OF HETERO-JUNCTION BIPOLAR TRANSISTOR OF COLLECTOR-UP STRUCTURE

## (57)Abstract:

**PURPOSE:** To reduce a parasitic leakage current to a satisfactory extent by selectively eliminating a second insulating film, exposing an outer base layer comprising a third semiconductor layer and forming a base electrode in a self-alignment fashion and enhance high frequency properties, and especially a maximum oscillation frequency by further reducing base resistance dramatically.

**CONSTITUTION:** Formation of an outer emitter high resistor layer 7 stabilized by oxygen ion implantation reduces a parasitic leakage current flowing during the junction of an outer emitter base. Moreover, the base resistance is reduced by connecting continuously a high concentration outer base layer 8 and a collector layer 10 to an inner intrinsic base layer 4 and making an epitaxial growth based on a regrowth process and forming a base electrode 14 in a self-alignment fashion. This construction makes it possible to reduce the base resistance dramatically and enhance a current amplification factor, high frequency properties and especially a maximum oscillation frequency.



## LEGAL STATUS

[Date of request for examination] 24.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3228431

[Date of registration] 07.09.2001

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

563-166 21 8hr

x

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-291282

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/331				
29/73				
29/205				
	7377-4M		H01L 29/72	

審査請求 未請求 請求項の数1(全9頁)

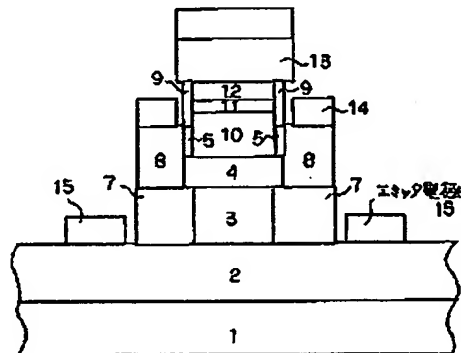
(21)出願番号	特開平4-116781	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22)出願日	平成4年(1992)4月10日	(72)発明者	山崎 章司 東京都千代田区内幸町一丁目1番6号 日 本電信電話株式会社内
		(72)発明者	松岡 裕 東京都千代田区内幸町一丁目1番6号 日 本電信電話株式会社内
		(74)代理人	弁理士 大塚 学

(54)【発明の名称】 コレクタアップ構造ヘテロ接合バイポーラトランジスタの製造方法

(57)【要約】

【目的】 寄生リーク電流を十分に低減し、更にベース抵抗の大幅な低減化により高周波特性、特に最高共振周波数 $f_{max}$ の向上が図れるコレクタアップ構造のヘテロ接合バイポーラトランジスタの製造方法を提供する。

【構成】 酸素イオン注入による安定化した外部エミッタ高抵抗層形成により、外部エミッタベース接合中に流れる寄生リーク電流を低減化し、更にまた、高濃度外部ベース層及びコレクタ層を内部真空ベース層と連続的に接続して再成長法でエピタキシャル成長させ、自己整合的にベース電極を形成することによって、ベース抵抗を低減化する点に特徴を有するコレクタアップ構造のヘテロ接合バイポーラトランジスタの製造方法である。



(2)

特開平5-291282

1

【特許請求の範囲】

【請求項1】 基板上に、n型の導電型を有する第1の半導体層からなるエミッタ層と、該エミッタ層上に形成された前記第1の半導体層よりもバンドギャップの小さいp型の導電型を有する第2の半導体層からなるベース層とを備えた半導体積層構造の形成において、前記ベース層上に第1の絶縁膜を堆積し、パタニングされた第1のフォトリソistパターンをマスクとするエッチング処理によって選択的に前記第1の絶縁膜を除去する工程と、

前記パタニングされた第1のフォトリソist及び第1の絶縁膜をマスクとするエッチング処理によって前記ベース層の一部または全部を除去してメサ型構造を形成する工程と、

前記パタニングされた第1のフォトリソist及び第1の絶縁膜をマスクとする酸素イオン注入によって前記n型の導電型を有する第1の半導体層からなるエミッタ層中に選択的に高抵抗領域を形成する工程と、

前記第1のフォトリソistを除去した後、前記第1の絶縁膜をマスクとするエピタキシャル再成長法によって、超高温にドーピングしたp型の導電型を有する第3の半導体層を、前記酸素イオン注入によって高抵抗化した外部エミッタ層と前記第2の半導体層からなるベース層にのみ連続的に接触するように選択的に、しかも前記第1の絶縁膜と同程度の高さになるように堆積する工程と、

前記再成長した第3の半導体層からなる外部ベース層及び前記第1の絶縁膜上に第2の絶縁膜を堆積し、前記第1のフォトリソistパターンの内側になるように形成された第2の開孔パタニングをマスクとするエッチング処理により、前記第2の絶縁膜及び前記第1の絶縁膜を選択的に除去し、前記第2の半導体層からなる内部真性ベース層を露出させる工程と、

前記第2の絶縁膜及び前記第1の絶縁膜をマスクとするエピタキシャル再成長によって、n型の導電型を有する第4の半導体層またはアンドープの第4の半導体層からなるコレクタ層を前記第2の半導体層からなるベース層\*

$$f_t = 1 / (2\pi \cdot \tau_{ec}) \\ = 1 / 2\pi \{ r_i (C_{be} + C_{ec}) + (R_e + R_c) C_{ec} + \tau_e + \tau_c \} \quad (1)$$

ここで、 $r_i$  は内部エミッタ抵抗でエミッタ電流密度に依存する。 $C_{ec}$  はベース・エミッタ間の結合容量である。 $R_e$ 、 $R_c$  は端子からみた真性トランジスタへ付加する抵抗成分であり、内部で分布しているものを合わせた等価的な抵抗である。 $\tau_e$ 、 $\tau_c$  はそれぞれベース、コレクタ走行時間で、主にベース、エミッタ各層の構造、膜厚、不純物濃度で決定されるので、エミッタアップでもコレクタアップでもその値は構造にはほとんど関係しない ※

$$f_{osc} = (f_t / 8\pi R_s C_{ec})^{1/4} \quad (2)$$

$R_s$  は内部真性ベースのシート抵抗、外部ベースのシ

2

\*にのみ連続的に接触するように選択的に、しかも前記第2の絶縁膜と同程度の高さになるように堆積する工程と、

前記第4の半導体層からなるコレクタ層及び前記第2の絶縁膜上に、コレクタ電極を形成し、前記コレクタ電極をマスクとするエッチング処理により、前記第2の絶縁膜を選択的に除去し、前記第3の半導体層からなる外部ベース層を露出させ、自己整合的にベース電極を形成する工程とを含むことを特徴とするコレクタアップ構造ヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、超高速ヘテロ接合バイポーラトランジスタの製造方法に関し、特にコレクタアップ構造のヘテロ接合バイポーラトランジスタの製造方法に関する。

【0002】

【従来の技術】III-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下HBTと略す）は、基本的にはメサ型構造を有する縦型トランジスタであり、エミッタが半導体表面側に設けられたエミッタアップ構造と、コレクタが半導体表面側に設けられたコレクタアップ構造と大別される。HBTはメサ型構造であるためコレクタ面積の小さいコレクタアップの方がエミッタアップよりもベース・コレクタ結合容量 $C_{ec}$ が小さい。特にエミッタアップ構造では、素子寸法が微細になるほどベース・エミッタ接合面積に占める外部ベースの割合が急激に増加するため、 $C_{ec}$ を低下させるにはコレクタアップ構造が圧倒的に有利である。

【0003】HBTの高周波特性は、真性トランジスタ及び外部寄生効果も含めた等価回路から理解できる。超高速高周波特性の性能指数は、電流利得遮断周波数 $f_t$ と最高共振周波数 $f_{osc}$ であるが、この内 $f_t$ は、少数キャリアがエミッタからコレクタへ流れていくときの遅延時間と関係があり、(1)式で表される。

【数1】

※い、結局、構造に依存する成分は(1)式の第2項のみであり、 $R_s$ 、 $R_c$ は構造の対称性から差はなく、 $C_{ec}$ が圧倒的に小さいコレクタアップ構造が遅延時間の補小、 $f_t$ の増大に有利であることがわかる。

【0004】一方、 $f_{osc}$ は、(2)式で表されるようにベース抵抗 $R_s$ 、 $C_{ec}$ に大きく依存している。

【数2】

ト抵抗とコンタクト抵抗で決まり、エミッタアップでも

(3)

特開平5-291282

3

コレクタアップでも構造上差はない。従って、 $C_{sc}$ の小さいコレクタアップ構造の方が $f_{max}$ の増大に極めて有利である。これに加えて、コレクタアップ構造は、エミッタを半導体基板側に設けることができるため、集積化や実装上問題になる表面配線等の影響が少ないという利点も有する。

【0005】このように、コレクタアップ構造は、超高速化、高集積化に優れており、また、 $f_{max}$ が高いことからパワー用トランジスタとして期待できるが、前述したようにエミッタ面積がコレクタ面積よりも大きくなってしまうため、エミッタアップ構造に比べて電流増幅率が低くなってしまふ。また、外部ベース下部に蓄積するキャリアにより $C_{sc}$ が増大する問題も生じる。これらの問題点を解決するためには、エミッタから外部ベース領域へのキャリア注入を抑制することが第1である。例えば、最も研究が進んであるn-p-n型AlGaAs/GaAs HBTでは、Be、Mg、C等のアクセプタ不純物を外部ベース上からイオン注入することによりワイドバンドギャップエミッタ層中にP-N接合を形成し、真性トランジスタ部分のヘテロP-N接合との障壁電位の差を利用して、外部エミッタ・ベース接合へのキャリア注入を抑制することができる。

【0006】しかしながら、AlGaAsワイドエミッタ中にイオン注入法で形成されたP-N接合は、エビタキシャル成長法により形成された接合に比べ、P-N接合の性能指数である理想計数 $n$ 値が高く、再結合電流成分が多い。コレクタアップ構造では、外部ベース下部のP-N接合はトランジスタ動作時には順方向にバイアスされており、高電流密度領域では再結合電流に起因するリーク電流が増大し、トランジスタ特性が著しく低下する。エミッタ・ベース接合部が順方向バイアス状態下にあっても、トランジスタが正常動作をするためには、電気的に絶縁化された高抵抗バリア層を外部エミッタ・ベース接合中に設けることが最も有効な方策である。特に、ワイドバンドギャップの高抵抗半導体層は、電子、正孔いずれに対しても高いヘテロ障壁が生じており、キャリア注入の抑制には効果的である。このような高抵抗領域は、ブロンや酸素、アルゴン等の不活性ガスをイオン注入法で形成する方法が実用上最も簡便で、信頼性に優れているが、とりわけ酸素イオン注入で形成した高抵抗層が熱安定性に優れており、素子間分離に用いられるようになりつつある。この点に関しては、例えば、S. J. Pearton 等による論文、【Formation of thermally stable high-resistivity AlGaAs by Oxygen-Implantation】(Appl. Phys. Lett., 52, pp.395 ~ 397, 1988)において開示されている通りである。

【0007】ところで、前述したように、 $f_{max}$ の向上には、 $C_{sc}$ はもとより $R_b$ の低減が重要であるが、酸素イオン注入を外部ベース層を通して行くと、放射損傷による欠陥によりベース抵抗 $R_b$ が著しく増大し、正常な

4

トランジスタ動作を示さなくなる。このため、酸素イオン注入後に更にp型不純物を導入し、表面濃度を高めることが不可欠となるが、このためには亜鉛拡散が最も有効である。実際、酸素イオン注入後に亜鉛拡散を行うことにより、かなりの程度までベース抵抗が改善され、正常なトランジスタ動作を示すようになる。しかし、外部ベース層に亜鉛拡散を導入しても、やはり酸素イオン注入を行った影響は残り、 $R_b$ の低減には限界がある。また、亜鉛は他のp型ドーパントと比べて拡散係数が大きく、過剰の亜鉛が真性トランジスタ領域へも拡散してしまい、トランジスタ特性を劣化させる。従って、亜鉛拡散は必要最低限であることが望ましい。信頼性に富み、かつより高速のトランジスタ動作を実現させるには、亜鉛拡散を用いずに更に $R_b$ を低減させる必要がある。

【0008】

【発明が解決しようとする課題】以上の問題点を更に図面を用いて具体的に説明する。図10は、酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層を形成後、亜鉛拡散を行った高濃度p-GaAs外部ベース層を形成した従来の典型的なコレクタアップ構造のn-p-n型AlGaAs/GaAs HBTの断面構造図を示したものである。半絶縁GaAs基板1上に、Siドープn-GaAs (Siドープ濃度:  $5 \times 10^{18} \text{ cm}^{-3}$ ) バッファ層2を0.7  $\mu\text{m}$ 、SiドープN-AlGaAs (Siドープ濃度:  $2 \times 10^{18} \text{ cm}^{-3}$  ~  $3 \times 10^{18} \text{ cm}^{-3}$ 、Al-As組成: 0 ~ 0.3) エミッタ層3を0.4  $\mu\text{m}$ 、Cドープp-GaAs (Cドープ濃度:  $2.5 \times 10^{18} \text{ cm}^{-3}$ ) ベース層4を0.08  $\mu\text{m}$ 、Siドープn-GaAs (Siドープ濃度:  $5 \times 10^{18} \text{ cm}^{-3}$  ~  $2 \times 10^{19} \text{ cm}^{-3}$ ) コレクタ層10を0.5  $\mu\text{m}$ 、Siドープn-GaAs (Siドープ濃度:  $5 \times 10^{18} \text{ cm}^{-3}$ ) キャップ層11を0.1  $\mu\text{m}$ 、それぞれ分子線エビタキシャル成長(MBE)法により順次エビタキシャル成長させたウェハを用いて、酸素イオンを加速電圧100 keVで注入し、N-AlGaAs外部エミッタ層を高抵抗化し、更に、外部ベース上に亜鉛拡散550℃、3分間閉管法で行い、表面濃度を高めた。その後、AuGe/Ni/Ti/Pt/Auのコレクタ電極13、Ti/Pt/Auのノンアロイベース電極14、AuGe/Ni/Ti/Pt/Auのエミッタ電極15を設け、素子間分離を行いトランジスタを作製した。メサエッチング等半導体加工技術はドライエッチング法を用いた。

【0009】図11は、図10で示した従来型コレクタアップHBTについて、素子寸法2  $\mu\text{m}$  × 10  $\mu\text{m}$ 、コレクタ電流密度 $2.5 \times 10^4 \text{ A/cm}^2$ における $f_{max}$ 、 $f_{min}$ の酸素イオン注入ドーズ量依存性を示している。黒丸が $f_{max}$ 、白丸が $f_{min}$ を表している。酸素イオン注入ドーズ量が増えるとN-AlGaAs外部エミッタ層の高抵抗化が促進され、亜鉛拡散を行った高濃度p-G

(4)

特開平5-291282

5

aAs外部ベース層14へキャリア注入が抑制され、 $\rho_c$ が低減されることによって、 $f_{\text{c}}$ が増加し、注入ドーザ量 $1.5 \times 10^{11} \text{ cm}^{-2}$ でほぼ $f_{\text{c}} = 50 \text{ GHz}$ の値に飽和する。一方、 $f_{\text{c}}$ は、このドーザ量を超えると $R_{\text{c}}$ の増大により低下し始める。

【0010】図12は、Transmission Line Model (TLM)法で求めた酸素イオン注入、亜鉛拡散を行った高濃度p-GaAs外部ベース層14のシート抵抗 $R_{\text{s}}$ 、及びコンタクト抵抗率 $\rho_c$ の酸素注入ドーザ量依存性を示している。注入ドーザ量の増幅に伴い、 $R_{\text{s}}$ 、 $\rho_c$ ともに増大することが一目瞭然であり、従って、図11中で示した $f_{\text{c}}$ の注入ドーザ量 $1.5 \times 10^{11} \text{ cm}^{-2}$ 以上の低下は、明らかに外部ベース抵抗の増大に起因していることがわかる。酸素イオン注入を行わないGaAs中に亜鉛拡散を同条件で行うとき、 $R_{\text{s}}$ は、 $260 \Omega/\text{sq}$ となり、図11中に示した注入ドーザ量が最も少ない場合( $5 \times 10^{11} \text{ cm}^{-2}$ )でも $R_{\text{s}}$ はその3倍にも増大してしまう。これ以下の注入ドーザ量では、酸素イオン注入を導入した本来の目的である外部エミッタ・ベース接合へのキャリア注入の抑制を充分に行うことができず、トランジスタ特性の劣化を招いてしまう。結局、酸素イオン注入と亜鉛拡散を用いてもその高周波特性 $f_{\text{c}}$ には限界があり、コレクタアップHBTの性能を充分に引き出すに至っていないのが現状である。

【0011】以上述べたように、従来の酸素イオン注入によりN-AlGaAs外部エミッタ層を高抵抗化し、亜鉛拡散で高濃度p-GaAs外部ベース層を形成する方法では、 $R_{\text{c}}$ の低減に限界があり、高周波特性、特に $f_{\text{c}}$ の向上が望めない。コレクタアップHBTのポテンシャルを引き出す上で $R_{\text{c}}$ の改善は不可欠である。同時に、エミッタアップ構造のHBTにおいても従来の外部ベース層を形成する方法では、コレクタアップ構造と同様な問題点が生ずることも明らかである。

【0012】本発明は、上記の欠点を改善するために提案されたもので、寄生リーク電流を十分に低減し、更にベース抵抗の大幅な低減化により高周波特性、特に $f_{\text{c}}$ の向上が図れるようなコレクタアップ構造のヘテロ接合バイポーラトランジスタの製造方法を提供するものである。

【0013】

【課題を解決するための手段】上記の目的を達成するため本発明は、基板に、n型の導電型を有する第1の半導体層からなるエミッタ層と、該エミッタ層上に形成された前記第1の半導体層よりもバンドギャップの小さいp型の導電型を有する第2の半導体層からなるベース層とを備えた半導体積層構造の形成において、前記ベース層上に第1の絶縁膜を堆積し、パタニングされた第1のフォトリソパタンをマスクとするエッチング処理によって選択的に前記第1の絶縁膜を除去する工程と、前記パタニングされた第1のフォトリソパタン及び第1の絶

6

縁膜をマスクとするエッチング処理によって前記ベース層の一部または全部を除去してメザ型構造を形成する工程と、前記パタニングされた第1のフォトリソパタン及び第1の絶縁膜をマスクとする酸素イオン注入によって前記n型の導電型を有する第1の半導体層からなるエミッタ層中に選択的に高抵抗領域を形成する工程と、前記第1のフォトリソパタンを除去した後、前記第1の絶縁膜をマスクとするエビタキシャル再成長法によって、超高濃度にドーピングしたp型の導電型を有する第3の半導体層を、前記酸素イオン注入によって高抵抗化した外部エミッタ層と前記第2の半導体層からなるベース層にのみ連続的に接合するように選択的に、しかも前記第1の絶縁膜と同程度の高さになるように堆積する工程と、前記再成長した第3の半導体層からなる外部ベース層及び前記第1の絶縁膜上に第2の絶縁膜を堆積し、前記第1のフォトリソパタンの内側になるように形成された第2の開孔パタニングをマスクとするエッチング処理により、前記第2の絶縁膜及び前記第1の絶縁膜を選択的に除去し、前記第2の半導体層からなる内部真性ベース層を露出させる工程と、前記第2の絶縁膜及び前記第1の絶縁膜をマスクとするエビタキシャル再成長によって、n型の導電型を有する第4の半導体層またはアンドープの第4の半導体層からなるコレクタ層を前記第2の半導体層からなるベース層にのみ連続的に接合するように選択的に、しかも前記第2の絶縁膜と同程度の高さになるように堆積する工程と、前記第4の半導体層からなるコレクタ層及び前記第2の絶縁膜上に、コレクタ電極を形成し、前記コレクタ電極をマスクとするエッチング処理により、前記第2の絶縁膜を選択的に除去し、前記第3の半導体層からなる外部ベース層を露出させ、自己整合的にベース電極を形成する工程とを含むことを特徴とするコレクタアップ構造ヘテロ接合バイポーラトランジスタの製造方法である。

【0014】上記ベース抵抗に伴う問題点を解決するためには、N-AlGaAs外部エミッタ層を高抵抗化するために行う酸素イオン注入の外部ベース層に与える影響を完全に取り除く必要がある。そのためには、高抵抗化のための酸素イオン注入を外部ベース層を通して行うのではなく、予め外部ベース層をエッチング処理により除去しておき、酸素イオン注入後選択成長技術により新たに超高濃度のp形不純物をドーピングしたGaAs層を埋め込む。この方法により、酸素イオン注入の影響を全く受けない外部ベース層の形成が可能になる。また、従来のエミッタ・ベース、コレクタの順に成長させたエビタキシャル結晶を用いて、上記外部ベース層の選択再成長を行う場合、コレクタ層と外部ベース層を予めエッチング処理で取り除く必要があるが、この場合、コレクタ層の厚さが増すとエッチングの制御が難しくなる。加えて、エッチングされたコレクタメサの側面と再成長した外部ベースとが接触しないようにコレクタメサの側面

(5)

特開平5-291282

7

に設けた保護膜により内部ベースと外部ベースが追続的に接触しない等の問題点が生ずる。一方、ベース層まで成長させたエピタキシャル結晶を用いて同様な再成長法を行うと、外部ベース層のみを予めエッチング処理で取り除くだけでよいので、エッチングの制御が容易で、その後の選択再成長した外部ベース層と内部ベース層の接触も全く問題がない。

【0015】

【作用】本発明で形成される超高濃度外部ベースは、その下のAlGaAs外部エミッタ層を高抵抗化させるために酸素イオン注入の影響を全く受けることなく、かつ、内部ベース層とも追続的にスムーズに接続できるため、真性ベース層と外部ベース層間の接触抵抗を低くすることができる。これに加えて、コレクタ層も再成長法でエピタキシャル成長させるために、コレクタ電極をマスクとした自己整合技術によりベース電極をコレクタメサに極めて近接して形成することが可能になり、フォトリソグラフィ技術を用いて形成した場合よりも引出し領域の抵抗が激減する。従って、全体のベース抵抗が従来法に比べ飛躍的に低減する。更に、AlGaAs外部エミッタ層の高抵抗化に関しては、酸素イオン注入ドーズ量を更に増やすことが可能になり、信頼性に優れた高抵抗層を形成することができる。これにより、高周波特性、信頼性に優れたコレクタアップ構造のヘテロ接合バイポーラトランジスタの提供が可能である。

【0016】

【実施例】以下、図面に基つき実施例について説明する。なお、実施例はあくまでも一つの例示であって、本発明の主旨を逸脱しない範囲で種々の変更あるいは改良を行いうることは言うまでもない。図1〜図9は、本発明によるn-p-nコレクタアップ構造HBTの製造工程を図示したものであり、全て断面構造図を示している。本実施例では、トランジスタの結晶材料として、半絶縁性のGaAs基板上にエピタキシャル成長したAlGaAs/GaAs半導体結晶を例にとりて説明する。

【0017】図1は、半絶縁GaAs基板1上に、Siドープn-GaAs (Siドープ濃度： $5 \times 10^{18} \text{ cm}^{-3}$ ) バッファ層2を0.7  $\mu\text{m}$ 、SiドープN-AlGaAs (Siドープ濃度： $3 \times 10^{17} \text{ cm}^{-3}$ 、Al-As組成：0~0.3) エミッタ層3を0.3  $\mu\text{m}$ 、Cドープp-GaAs (Cドープ濃度： $5 \times 10^{17} \text{ cm}^{-3}$ ) ベース層4を0.05  $\mu\text{m}$ 有機金属熱分解(MOCVD)法により順次エピタキシャル成長させたウェハ全面に、第1のシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)5をプラズマCVD法により0.15  $\mu\text{m}$ 堆積させた後、第1のフォトリソグラフィによりパターニングを行い、このパターニングしたフォトリソグ(厚さ1.1  $\mu\text{m}$ 程度)6をマスクに上記Si<sub>3</sub>N<sub>4</sub>膜5をC、F、ガス反応イオンエッチング(RIE)及びSF<sub>6</sub>ガスRIEによりエッチングし、p-GaAsベース層4を露出させる工程を

8

示したものである。本実施例では、上記シリコン窒化膜5をプラズマCVD法で堆積させるが、堆積させる半導体層に与えるダメージがより少ない光CVD法でも堆積可能である。本実施例では、ベース層のドーピング濃度を高めるためにMOCVD法を用いてエピタキシャル成長を行ったが、MOMBE法を用いることも可能である。MOMBE法は、原料にガスソースを用い、MBE法とMOCVD法の中間領域の真空度(10<sup>-7</sup> Torr前後)で行うので、ガスソースMBE法、真空MOCVD法、化学ビームエピタキシン(CBE)法とも呼ばれている。

【0018】図2は、上記フォトリソグ6及び上記Si<sub>3</sub>N<sub>4</sub>膜5をマスクとして、露出した上記p-GaAsベース層4をサイドエッチング量の少ないドライエッチング法で除去したのち、同じマスクで、酸素イオン注入を行いN-AlGaAsエミッタ層3を高抵抗化し、選択的にバリアとなる外部エミッタ層7を形成する工程を示したものである。本実施例では、ドライエッチング法として、電子サイクロトロン共振(ECR)を利用したRIEを用いた。反応ガス塩素Cl<sub>2</sub>で、このECR-RIE装置を用いると、エッチングした半導体表面のダメージが少ないという利点がある。また、酸素イオン注入の加速電圧はエミッタ層厚により変わるが(外部エミッタ層全域に亘って高抵抗化するため)、本実施例では100 keVとする。この時の射影深さR<sub>p</sub>は、0.15  $\mu\text{m}$ 程度である。注入ドーズ量は $2 \times 10^{14} \text{ cm}^{-2}$ で、この注入条件により外部エミッタ層は、図中7で示されるように全域に亘って高抵抗化される。注入ドーズ量は、この値よりも多くても同様な効果が期待できる。

【0019】図3は、フォトリソグ6を除去し、酸素イオン注入した外部エミッタ層7の表面を洗浄した後、MOMBE法により、トリメチルガリウム(TM<sub>3</sub>G)、As<sub>2</sub>を成長原料として成長温度450~550℃でCドープ超高濃度p-GaAs外部層8を外部エミッタ層7上に0.2  $\mu\text{m}$ 再成長させる工程を示したものである。キャリア濃度の制御は、TM<sub>3</sub>G供給量を一定として、As<sub>2</sub>圧を制御することで行う。本実施例では、再成長の方法としてMOMBE法を用いたが、MOCVD法を用いることも可能であり、どちらを用いても上記Si<sub>3</sub>N<sub>4</sub>膜5の上には半導体層は堆積されず、優れた選択性がある。特に、MOMBE法では、p型ドーパントにCを用いることにより正孔濃度が $1 \times 10^{18} \text{ cm}^{-3}$ を超える。この点に関しては、例えば、T. Yamada ちによる論文[Heavily Carbon Doped p-Type GaAs and GaInAs Grown Metalorganic Molecular Beam Epitaxy] (J. Cryst. Growth, 95, p.p. 145~149, 1989)において開示されている通りである。このようにGaAs中に超高濃度にドーパントが導入されても、並設係数の極めて小さいCを用いているのでエミッタ層、及びコレクタ層へ

(6)

特開平5-291282

9

10

拡散する問題はない。また、図中再成長させたp-GaAs外部ベース層8の膜厚は、上記Si<sub>3</sub>N<sub>4</sub>膜5と上記真性ベース層4の膜厚を合わせた厚さと同程度になるように設定される。

【0020】図4は、上記p-GaAs外部ベース層8及びSi<sub>3</sub>N<sub>4</sub>膜5の上に、プラズマCVD法により第2のSi<sub>3</sub>N<sub>4</sub>膜9を0.4μm堆積させる工程を示したものである。

【0021】図5は、上記第2のSi<sub>3</sub>N<sub>4</sub>膜9上に第2のフォトリソグラフィを行い、パタニングされたフォトレジストをマスクとして、第2のSi<sub>3</sub>N<sub>4</sub>膜9及び第1のSi<sub>3</sub>N<sub>4</sub>膜5の一部をC、F、ガスRIE及びSF<sub>6</sub>ガスRIEによりエッチングし、p-GaAs真性ベース層4を露出させる工程を示したものである。このエッチングにより外部ベース層8の側壁に残された第1のSi<sub>3</sub>N<sub>4</sub>膜5の幅は、上記第2のフォトリソグラフィとSF<sub>6</sub>ガスRIE（等方的にエッチングされる）により、0.2μm程度になるように調整する。

【0022】図6は、上記露出したp-GaAs真性ベース層4上に表面を洗浄した後、MOMBE法によりトリメチルガリウム（TMG）、As<sub>2</sub>を成長原料としてSiドープn-GaAsコレクタ層（ドーピング濃度 $3 \times 10^{18} \text{cm}^{-3}$ ）10を0.4μm、Siドープ高濃度n-GaAs層（ドーピング濃度 $5 \times 10^{18} \text{cm}^{-3}$ ）11を0.05μm、Siドープ高濃度n-InGaAsキャップ層（ドーピング濃度 $2 \times 10^{18} \text{cm}^{-3}$ 、In-As組成0.6）12を0.1μmの順に再成長させる工程を示したものである。InGaAsキャップ層12を再成長させるときの成長温度は450℃。原料はTMG、トリメチルインジウム（TMI）、As<sub>2</sub>であり、ドーパントガスとしてジシラン（Si<sub>2</sub>H<sub>6</sub>）を用いた。再成長の方法は、勿論MOCVDでも可である。一般に、再成長したpn接合特性は再結合電流の割合が高くなるが、GaAs中に設けられたベース・コレクタ間pn接合は比較的良好であり、更に通常のトランジスタ動作においては、ベース・コレクタ間のpn接合は逆方向にバイアスされているので、順方向にバイアスされるベース・エミッタpn接合特性に比べて再結合電流の増加はそれほど重要ではない。また、パワー用トランジスタへの適用を図るとき、コレクタ耐圧を高めるためには、コレクタ層10の膜厚を厚くすることが不可欠であるが、この場合、第2のSi<sub>3</sub>N<sub>4</sub>膜9の膜厚を調整することで、第2のSi<sub>3</sub>N<sub>4</sub>膜9と再成長したn-InGaAsキャップ層12の高さを同じ程度にすることは可能である。

【0023】図7は、再成長したn-InGaAsキャップ層12及び第2のSi<sub>3</sub>N<sub>4</sub>膜9の上に第3のフォトリソグラフィを行い、通常のリフトオフ法によりコレクタ電極Ti/Pt/Au13を形成する工程を示したものである。本実施例では、上記コレクタ電極13が、上記再成長したn-InGaAsキャップ層12よりも

0.3μm程度外側に広がるように第3のフォトリソグラフィを行う。本実施例で用いたコレクタ電極の膜厚は、Ti20nm、Pt20nm、Au150nmである。

【0024】図8は、上記コレクタ電極13をマスクとして、上記第2のSi<sub>3</sub>N<sub>4</sub>膜9をC、F、ガスRIE及びSF<sub>6</sub>ガスRIEによりエッチングし、超高濃度p-GaAs外部ベース層8を露出させた後、電子ビーム蒸着法によりベース電極Pt/Ti/Pt/Au14を自己整合的に形成する工程を示したものである。図中に示したように、等方的にエッチングされるSF<sub>6</sub>、RIEエッチング時間を長くすることにより第2のSi<sub>3</sub>N<sub>4</sub>膜9を側方向にエッチングし、T字形のコレクタ電極/コレクタメサ構造を實現することで、容易にコレクタ電極とベース電極が接触しないように自己整合的にベース電極が形成可能である。本実施例で用いたベース電極の膜厚は、Pt10nm、Ti20nm、Pt50nm、Au150nmである。また、Ti/Pt/Auノンアロイベース電極も使用可能である。

【0025】図9は、第5のフォトリソグラフィを行い、上記ベース電極14と上記コレクタ電極13の間にある半導体層上をフォトレジストで覆った後、ドライエッチング法により外部ベース層8及び酸素イオン注入した高抵抗AlGaAs外部エミッタ層を除去し、n-GaAsバッファ層2を露出させ、第6のフォトリソグラフィ及び通常のリフトオフ法によりエミッタ電極AuGe/Ni/Ti/Pt/Auを形成する工程を示したものである。本実施例で用いたエミッタ電極の膜厚は、AuGe85nm、Ni15nm、Ti100nm、Pt20nm、Au150nmである。オーミック処理を360℃、N<sub>2</sub>ガス雰囲気中で行う。その後、SiO<sub>2</sub>層絶縁膜をプラズマCVD法で堆積させる。素子間分離を行った後、RIEで各電極部の開孔（スルーホール）を行い、最後に配線を施して素子製作工程は終了する。

【0026】本発明では、外部AlGaAsエミッタ層の高抵抗化を酸素イオン注入を用いて行ったが、他のドーパント種のイオン注入により形成された高抵抗層は、比較的高温の再成長プロセス（500～550℃）により容易にその効果が消滅する。その理由は、酸素イオン以外のドーパントのイオン注入により形成された高抵抗層は、放射損傷によるダメージに起因しており、アニール温度の上昇に伴いダメージが回復するためである。一方、AlGaAs層中に酸素イオンを注入した層も放射損傷ダメージによる高抵抗性はプロセス温度の上昇とともに回復するが、新たに深い単位に起因する高抵抗性を示すようになる。この深い単位に起因する高抵抗層は、AlGaAs層中にドーパされた酸素イオンに特有なもので、熱安定性に断然優れており、デバイス性能はもとよりデバイスの信頼性の面からも有効である。この点に關しては、例えば、S. J. Pearton らによる論文、【Formation of thermally stable high-resistivity Al



11

GaAs by Oxygen Implantation) (Appl. Phys. Lett., 52, p.p. 395~397, 1988) において開示されている通りである。

【0027】外部エミッタ層である高抵抗AlGaAs層(図1~図9中7に該当する領域)は、選択再成長法でも形成可能である。図2の工程において、フォトリソスト6及び第1のSi、N、膜5をマスクとして、ICR-RIE法を用いたドライエッチングにより、外部領域のp-GaAsベース層4、及びN-AlGaAsエミッタ層3を選択的に除去し、MOMBEまたはMOCVD法でアンドープAlGaAs外部エミッタ層、高濃度外部ベース層の順で再成長することで図3に示したのと同様な構造を形成することができる。しかし、成長原料として、トリメチルアルミニウム(TMA)、TMG、As、またはアルジンをを用いてアンドープAlGaAs外部エミッタ層を成長させた場合、メチル基のCが多量に結晶内に入り込みp形ドープメントの挙動を示し、高抵抗化が難しい。また、比較的Cが入り込みづらいとされるトリエチルアルミニウム(TEA)を用いても酸素イオン注入法で達成できるような高抵抗AlGaAs外部エミッタ層(シート抵抗 $10^8 \Omega/\square$ 程度)の実現は難しい。加えて、再成長法では、アンドープAlGaAs外部エミッタ層、高濃度p-GaAs外部ベース層の膜厚制御が難しく、簡便に、かつ均一性良く高抵抗層が形成できる酸素イオン注入の方がスループットの向上、信頼性の面から有利である。

【0028】

【発明の効果】以上詳細に説明したように、コレクタアップ構造AlGaAs/GaAsヘテロ接合バイポーラトランジスタの外部ベース領域形成において、本発明によれば、正孔濃度 $1 \times 10^{13} \text{ cm}^{-3}$ 以上の超高濃度p-GaAs外部ベース層を再成長法で、酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層上に堆積させることで、酸素イオン注入の影響を受けない超高濃度の外部ベース層を形成することが可能になった。特に、外部ベース層を再成長法で形成するときの最大の課題は、真性ベース層と連続的に接続するように、しかもコレクタ層とは接触しないように再成長させることであるが、本発明では、予めp-GaAsベース層まで成長させたエピタキシャル結晶を用いて外部ベース層を再成長させるため、上記問題点が解決される。しかも、再成長のときにマスク材料として用いるSi、N、の膜厚を調整することにより、外部ベース層及び再成長によるコレクタ層の膜厚を任意に変えても、本発明で示したプロセス工程を容易に実行することが可能である。この結果、ベース電極を自己整合的に真性ベース層に極めて近接して形成できることになり、超高濃度外部ベースの形成と合わせて、ベース抵抗を著しく低減できるようになり、高いコレクタ電流密度領域での電流増幅率の改善、高周波特性、特に $f_{max}$ の向上、信頼性に優れたコレクタ

(7)

特開平5-291282

12

アップ構造AlGaAs/GaAsヘテロ接合のバイポーラトランジスタを提供することができるという効果をもつ。

【0029】例えば、本発明により製造したコレクタアップ構造AlGaAs/GaAs HBTでは、 $2 \times 10 \mu\text{m}$ の素子寸法でベース抵抗は従来例の $1/20$ に相当する $5 \Omega$ 程度に低減され、この結果 $f_{max} = 200 \text{ GHz}$ が達成され、高周波特性の目覚ましい向上が実現される。本実施例では、AlGaAs/GaAsヘテロ構造材料について説明したが、本発明は、結晶材料を選ばず、例えばInP/InGaAs、InAlAs/InGaAs等のIII-V族化合物半導体、及びII-VI族化合物半導体にも適用可能である。

【0030】また、本発明によるHBTの製造方法によれば、コレクタアップ構造HBT素子特性が格段に改善されるため、エミッタアップ構造の素子と同時に集積化形成を期待することができる。すなわち、本発明の製造方法は、コレクタアップ構造にも、エミッタアップ構造にも適用することができるため、これら2つの素子を組合せる論理回路構成を有効に実現することができる。例えば、両構造のトランジスタを集積化することにより、 $I^2L/MTL$ 、STL、ECL/CML相当の論理回路の性能を大幅に改善することができる。また、導電型を反対にして構成することにより、コンプリメンタリー構成の論理回路等も構成することができる。更に、またPINフォトダイオード、APD等の受光素子や、LED、レーザダイオード等の発光素子と集積化形成をすることにより、光電子集積回路(OEIC)の製造方法にも適用することができる。更にまた、本発明によるHBTの製造方法によってこれらのHBTを並列化構成することによって超高周波高出力のパワーバイポーラトランジスタを実現することもできる。

【図面の簡単な説明】

【図1】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図2】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図3】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図4】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図5】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図6】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面

(8)

特開平5-291282

13

14

面構造図である。

【図7】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図8】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図9】本発明によるn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの製造工程を示す素子断面構造図である。

【図10】従来の典型的なn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの素子断面構造図である。

【図11】素子寸法 $2\mu\text{m} \times 10\mu\text{m}$ の従来の典型的なコレクタアップ構造HBTにおける電流利得遮断周波数 $f_t$  (GHz)と最高発振周波数 $f_{\text{max}}$  (GHz)の酸素イオン注入ドーピング依存性を示した特性図である。

【図12】酸素イオン注入後亜鉛拡散を行った外部ベースに相当するCドープp型GaAs層のTLM法から求めたシート抵抗 $R_s$ とコンタクト抵抗率 $\rho_c$ の酸素イオン注入ドーピング依存性を示した特性図である。

【符号の説明】

1 半絶縁性GaAs基板

\*

\* 2 Siドープn型GaAsパッド層

3 SiドープN型AlGaAsエミッタ層

4 Cドープp型GaAsベース層

5 第1のプラズマCVDシリコン窒化膜 (Si

, N<sub>x</sub>)

6 フォトリソ

7 酸素イオン注入により高抵抗化したAlGaAs外部エミッタ領域

8 選択再成長した超高速p-GaAs外部ベース層

10 9 第2のプラズマCVDシリコン窒化膜 (Si

, N<sub>x</sub>)

10 選択再成長したSiドープn型GaAsコレクタ層

11 選択再成長した高速SiドープGaAsキャップ層

12 選択再成長した高速SiドープInGaAsキャップ層

13 Ti/Pt/Auコレクタ電極

14 Pt/Ti/Pt/Auベース電極

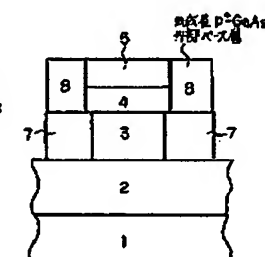
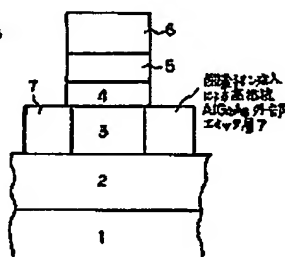
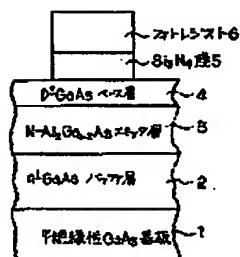
15 AuGe/Ni/Ti/Pt/Auエミッタ電極

16 亜鉛拡散を行った高速p-GaAs外部ベース層

【図1】

【図2】

【図3】

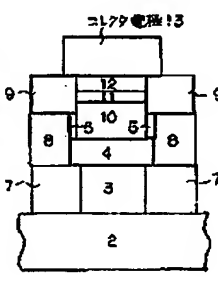
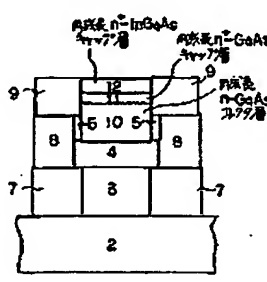
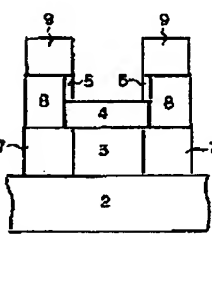
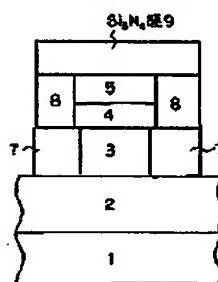


【図4】

【図5】

【図6】

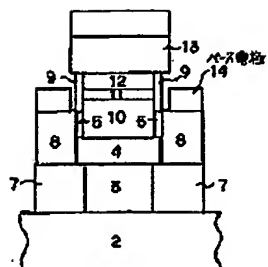
【図7】



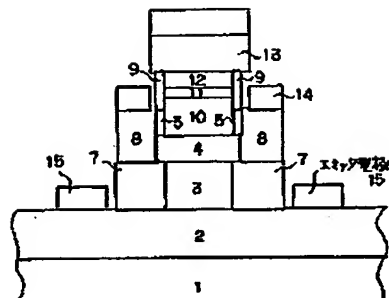
(9)

特開平5-291282

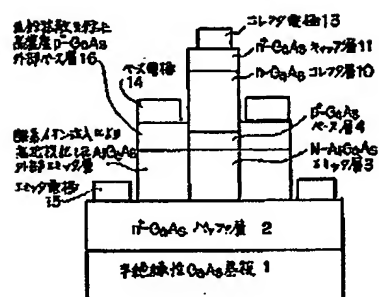
【圖8】



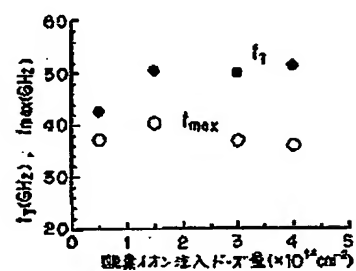
【圖9】



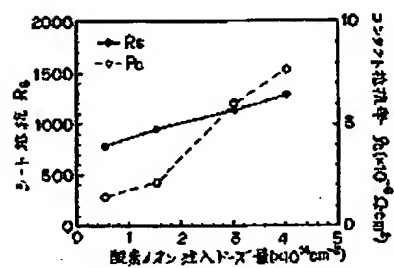
【图 10】



【圖 11】



【图 12】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**